

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭60-181778

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)9月17日

G 09 F 9/30

6615-5C

審査請求 未請求 発明の数 2 (全2頁)

⑮ 発明の名称 フラットパネルディスプレイとその製法

⑯ 特 願 昭60-16367

⑰ 出 願 昭60(1985)1月30日

優先権主張 ⑱ 1984年2月1日 ⑲ イギリス(GB) ⑳ 8402654

㉑ 発 明 者 ジョン・デイヴィット イギリス国、ウスターシャー・ダヴリュ・アール・14・
ド・ベンジャミン 3・エル・ジー、マルヴァーン、ブルブルック、ブリテ
ン・ドライブ・20

㉒ 発 明 者 エイドリアン・レナー イギリス国、グロウスターシャー・ジー・エル・53・O・
ド・メアーズ ビー・エー、チェルトナム、レックハンプトン、コラム・
エンド・ライス・21

㉓ 出 願 人 イ ギ リ ス 国 イギリス国、ロンドン・エス・ダヴリュ・1・エイ・2・
エイチ・ビー、ホワイトホール(番地なし)

㉔ 代 理 人 弁理士 川口 義雄
最終頁に続く

明 細 書

1. 発明の名称

フラットパネルディスプレイとその製法

2. 特許請求の範囲

(1) 対応する画素電極に対し駆動信号を印加するための多数の電子成分と共に、電極支持基板の間に配置された電気的に応答する光学媒体を有し、電極は多数の画素を形成する形状とされている種類のフラットパネルディスプレイであつて、前記電子成分が単結晶半導体材料を物理的に分離したエレメントであり、電極支持基板の間に配置されており、かつ各エレメントを少なくとも1つの隣接する画素電極に連結して配列されていることを特徴とするディスプレイ。

(2) 単結晶材料のエレメントがバーであることを特徴とする、特許請求の範囲第1項に記載のディスプレイ。

(3) 単結晶材料のエレメントがチップであることを

とを特徴とする、特許請求の範囲第3項に記載のディスプレイ。

(4) 各チップが複数の画素制御電極と重合しかつこれに連結されており、各々の画素制御電極を制御する働きをすることを特徴とする、特許請求の範囲第3項に記載のディスプレイ。

(5) エレメントが電極支持基板の間で構造的なスペーサとしての働きをしていることを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

(6) 一方の基板の電極が半導体エレメントに容量結合されていることを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

(7) X-Yマトリックスアドレス式ディスプレイであつて、一方の電極支持基板が画素制御電極を有しており、かつXとYのアドレス用の電極も有していることを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

08 対応するアドレス電極の連続性を完成する橋絡リンクをそれぞれ含むチップエレメントから成ることを特徴とする、特許請求の範囲第7項に記載のディスプレイ。

09 橋絡リンクが昇圧増幅器を含むことを特徴とする、特許請求の範囲第8項に記載のディスプレイ。

10 各々のXまたはYアドレス電極がチップの1つの行(または列)に連絡されると共に、次の隣接するチップの行(または列)にも連絡されており、橋絡リンクは各対の隣接するチップの中に含まれて交替で連続性を与える経路を提供していることを特徴とする、特許請求の範囲第8項または第9項に記載のディスプレイ。

11 データアドレス式ディスプレイであつて、一方の電極支持基板が画素制御電極と共にデータアドレス用の電極も有しており、各半導体エレメントはアドレス認識用の回路を含んでいることを

特徴とする、特許請求の範囲第11項から第14項に記載の何れかに記載のディスプレイ。

12 各行がその両端部に1つずつ、1対のエンコーダを有していることを特徴とする、特許請求の範囲第15項に記載のディスプレイ。

13 各エレメントが複製回路と、同一の機能を実行するビクアップ電極パッドとを含んでいることを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

14 各エレメントがアドレス信号または画素駆動信号に回答する回路機構を含んでおり、そこから電力を抽出してエレメント内に組み込まれた他の回路機構を動作することを特徴とする、以上の特許請求の範囲の何れかに記載のディスプレイ。

15 特許請求の範囲第1項に記載のディスプレイを製造する方法であつて、半導体ウエーハの表面に同様の回路を多数形成し、ウエーハ表面の上

特開昭60-181778(2)

特徴とする、特許請求の範囲第1項から第6項の何れかに記載のディスプレイ。

01 各エレメントが周波数またはパルスコード変調したアドレスに回答することを特徴とする、特許請求の範囲第11項に記載のディスプレイ。

02 各エレメントが単一のアドレス以上のものに回答するチップであり、チップのライン、ブロックまたはパターンが同時に1アドレスに回答できるように複数のチップが共通して少なくとも1つのアドレスを有していることを特徴とする、特許請求の範囲第11項または第12項に記載のディスプレイ。

03 エレメントからエレメントへとデータを移転するため隣接するエレメント間にカップリングを含んでいることを特徴とする、特許請求の範囲第11～13項の何れかに記載のディスプレイ。

04 各エレメントがチップであり、チップは行に配列されており、各行がその中のチップをアド

に不活性化層を形成し、ウエーハ内に前記同様の回路を隔離するために、ウエーハ内に埋込まれたエッチング止め層に達する深さまで延びる層を形成する段階と、ウエーハの反対側からパルチ半導体材料を除去する段階と、エッチング止め層を除去して同様の回路を分離し、多数の半導体エレメントを形成する段階とから成ることを特徴とする方法。

05 分離した回路を真空チャップの助けにより支持基板に移転する段階をさらに含むことを特徴とする、特許請求の範囲第19項に記載の方法。

06 真空チャップがシリコンに穴をあけた吸引面を有することを特徴とする、特許請求の範囲第20項に記載の方法。

07 同様の回路を分離する前に、ウエーハ面をエラストマ製支持材の上に接合する段階と、同様の回路を分離した後、エラストマ製支持材を伸長して当該回路の間隔を狭める段階と、回路を支持

基板に移転する段階とをさらに含むことを特徴とする、特許請求の範囲第19項に記載の方法。

四 導電性のある接着剤によつて回路が支持基板に接合され、余剰の接着剤を除去する間回路が保護マスクとして使用されることを特徴とする、特許請求の範囲第19項から第22項の何れかに記載の方法。

四 エラストマ製支持材の表面はその上にマスクパターンを有しており、ウエーハがマスクパターンの上に来るように支持材上に装荷された後、マスクパターンがエラストマ製支持材の伸長によつて拡大されて、その接電極を形成するためのマスクとして使用されることを特徴とする、特許請求の範囲第22項に記載の方法。

四 移転された回路がそれと整列した電極を形成する際に使用され、その後、ホトレジスト被膜を有する金属化基板を提供する段階と、移転された回路を被膜基板の上にこれと接して配置する段

特開昭60-181778(3)

階と、移転された回路を浅い角度で照明して連続的なシャドーを形成する段階と、移転された回路を側方にずらせる段階と、移転された回路を2度めに照明して別の連続的なシャドーを形成する段階と、ホトレジストを現像して共通するシャドーに対応する面積を決定する段階と、パターン化されたホトレジストを耐エッチングマスクとして用いながら電極を形成する段階とが進行されることを特徴とする、特許請求の範囲第22項または第24項に記載の方法。

3 発明の詳細な説明

本発明は平坦パネルディスプレイと、その製造に適合する方法とに係る。本発明は特に、図表や情報を表示するための、電気的にアドレス可能なパネル、およびテレビ用ディスプレイスクリーンにも関係する。より詳細に言う、本発明は半導体デバイス成分を組み入れたフラットパネルディスプレイで、ディスプレイの対応する画像エレメン

ト(画素)に対して駆動信号を印加するのを、その各々の成分が制御および/または維持する型式のものに係る。

これまでフラットパネルディスプレイの構成は2つの主要な方法のうち何れかでなされて来た。

その1つめの方法は、ディスプレイパネルの後部電極支持用基板として単結晶半導体材料、通常はシリコンのウエーハを用いる方法である。画素制御デバイスはこの構造と一体化される。腕時計サイズのディスプレイは、これまでこの方法を用いて製作されている。直径20cmのシリコンウエーハを用いる広面積パネルが現在開発中である。このモノリシック構成技術もかなり進歩しているとは言うものの、いくつか欠点がある。直径20cmのウエーハを処理するのは、結晶の均一性、ウエーハの歪み、ウエーハの操作などの問題点があることから、困難な上に高価にもつく。さらに、必要なシリコンの面積がパネルディスプレイの面

積より大きくなるので、大量の半導体材料が要求される。(「480×480エレメントの重クロム表示色素MOS LCD」、K. Kasahara et al, Society for Information Display XIV 1983, Library of Congress Card No 75-642555 参照)。

第2の方法では、薄膜トランジスタ技術を用いる。すなわち後部基板は多結晶質または非晶質のシリコンを含み、その中にトランジスタが含まれるのである。多結晶質シリコンで作られるデバイスは特性が劣るため、特に逆方向バイアスしたpn接合の漏れに関して問題点が生じる。この技術を用いて製造されているディスプレイは、通常4×10°を超えない画素を有するディスプレイで、そのうちほとんどの画素は動作しているというものの全部ではない。10°単位の画素で動作するディスプレイを達成するとすれば、大幅な改良が必要となるであろうし、多くの重大な問題を解決する必要がある。(「平坦パネルディスプレイ用

シリコン T F T」、F. Morin, Proceedings of the 14th Conference (1982 International) on Solid State Devices, Tokyo, 1980; Japanese Journal of Applied Physics 22 (1983) Supplement 22-1 pp 481-485 参照。pp 487-500 に他の紙者による関連論文あり)。

ここに附示される発明は、上に概略を示したものに代わる構成のフラットパネルディスプレイを提供する。

本発明によれば、電気的に応答可能な光学媒体の両側に1つずつの電極支持基板と、対応する画素電極に対する駆動信号の印加を制御するための多数の電子的成分とから成り、前記基板に支持される電極が多数の画素を形成するべく形造られている型式のフラットパネルディスプレイが提供され、その特徴は、前記電子成分が単結晶半導体材料の物理的に別個の元素として実現されており、これらの元素は電極支持基板の間に

フラットパネルディスプレイの構成が平坦であることも、必ずしも必要ではない。この方法のもつ柔軟性によつて、平坦でない表面、例えば自動車や航空機の風防ガラス上にも構成することが可能になるのである。

フラットパネルディスプレイは、単結晶半導体材料のバーを含んでも良く、各々のバーは多くの隣接する画素元素の上に延びる。隣接するバーとバーは、それらの伸長方向に直角の方向に間隔をあけて配置される。このようなディスプレイの場合、長さは構成の目的で使用されるウエーハの大きさに制限されるが、直交寸法ではかなりの自由が許される。

あるいはまた、フラットパネルディスプレイは単結晶半導体材料のチップを含んでも良く、これらのチップは規則的な二次元アレーに配列される。この場合、ディスプレイの長さおよび幅の寸法の選択には自由裁量が可能である。チップは各々が単

特開昭60-181778 (4)

配置されかつ各元素を1つまたはそれ以上の隣接する画素電極に連結して配列されていることにある。

本発明では、単結晶材料を使用して得られる利益はそのまま保っているが、それと同時に、ディスプレイ面積より大きな面積の半導体材料を処理するというこれまであつた欠点を克服している。各元素は単結晶材料であるために、標準的な処理技術が採用できる上、成分には良好な特性を与えることができる。このディスプレイは回路に対して、はるかに面積の大きいディスプレイ用の単結晶シリコン上に装荷されたディスプレイのもつ複雑性を与え、しかも処理を要するチップ面積は小さくなるのでコストはずつと低くなる。このディスプレイは透過性あるいは反射性、どちらのモードの光にも使用可能であるが、それは構成を要する元素の面積が、ディスプレイ面積全体のごく小部分だけであるためである。また、

他の対応する画素電極に重畳してこの電極のみを制御する働きをする、といつた単純な設計とすることが出来る。しかし、乗算回路の設計やディスプレイを支持するドライブおよびアドレス回路機構など、複雑性が増した場合、チップは例えば2、4ないしは8個と、いくつかの隣接する画素電極に重畳して配列されて、これらの電極を同時に制御することもある。いくらか高性能化することで、チップはきわめて複雑な回路を含むように作ることができ、相当の情報処理能力をもつようになるため、画像を更新する情報の変化のみをディスプレイに送るだけで良い。チップはまた、例えば画像をスクロールしたりコントラストを変えるなどの画像の処理もいくらか行なうことができる。

各元素、つまりバーまたはチップの厚さをカプセル密封した媒体の厚さと調和するように選択したと仮定すると、さらに別の利点が見られる。こうすると各元素はスペーサとして

作用して、フラットパネルの厚さを均一に維持するのを助けると共に、パネルに対し剛性という、広面積パネルにおいて特に重要な性質を加えることができるのである。

次に本発明の2, 3の実施態様について、例示的な意味で説明することにする。

第1図と第2図には、X-Y多重式パーエレメントフラットパネルディスプレイ1が示されている。これら2つの図と、標準的制御回路を示す第3図とを参照すると、このディスプレイ1は間隔をあけて互いに対して平行に配置された電極支持基板3, 5を、カプセル封じした感電性の流体光学媒体7、この例では液晶材料の媒体の両側に含んでいることが分かる。一方の電極構造、すなわち基板3上の構造3Eは多数の個別方形画素電極PL, PRに細分されている。他方の電極構造、すなわち基板5上の構造5Eは、連続的である。多数の細長い条片9、つまり単結晶シリコン半導

特開昭60-181778(5)

体材料のバーが、画素電極の表面上に配列されている。これらの条片は互いに平行に配置されており、画素のピッチの2倍の間隔をあけている。各条片9はYの方向に伸びて、その両側に隣接して設けられている画素電極PL, PRの各々の面積の一部分と重合している。各条片9は基板3と5の間に位置し、スペーサとしての働きをする。各バー9の上表面は金属被覆11を支持する。この被覆11と連続電極構造5Eとの間には、効率の良い電気的接触が与えられている。導電性の粒子を含むかわ、あるいは金属軟ろう13、例えばインジウムがこの接触を与える役割をしている。これは半導体バー9に対して、効果的なアースを与えることを目的とするものである。各バー9の下表面には接点パッドが形成されており、これには画素電極PL, PRと接触するパッドPL', PR'および下側の電極構造5Eに形成されたXアドレス電極XL, XRと接触するパッドXL', XR'が

ある。これらのパッドPL', PR', XL', XR'と対応する基板電極PL, PR, XL, XRとの間の接触は、金属軟ろうであるインジウム片15により完全にされている。各シリコンバー9には共通のYアドレスラインYと共に1対の駆動ラインD1, D2も組込まれている。駆動ラインD1, D2上の信号は、フレーム毎にそれぞれ正と大地電位、大地電位と負の間で交番する。第3図の回路では、Yラインが第1電界効果トランジスタT1のゲートに接続されている。このトランジスタT1のソースはXアドレスの接点パッドXR'に接続されている。このトランジスタT1のドレインは、2つ連続されたトランジスタT2, T3のゲートに並列に接続されているが、これらのトランジスタT2, T3は、相補形のp-チャネル/np-チャネルトランジスタか、タンデム式に動作するエンハンスメント/デプレッションモード・トランジスタの何れかである。特定の画素がアドレ

スされると、XアドレスとYアドレスの両方がフレーム毎に1回ハイになる。駆動信号が交番し、交番する電位が画素電極PRに印加される。Xアドレスパルスの終了前K Yアドレスパルスが終わるように構成されているため、電荷はトランジスタT2とT3のゲートで保たれる。次にこれらのトランジスタT2とT3が、そのフレームの継続中、つまり次にラインD1, D2上で駆動電位が逆転するまで、開放したまま保たれる。

標準的な寸法としては、シリコンバーは1mmピッチでさしわたし100mm、液晶層の厚さは10mmである。この構造では相当の透明度を与えられ、また同じような寸法のモノリシックディスプレイに比較して、必要な処理シリコンの量が10分の1に減少する。シリコンバー9は、例えばテープボンディングにおいてテープにチップを移す時に用いる技術などを使って、機械的に配置することもできる。(「テープ自動ボンディング

の現況」、T. G. O'Neal, Semiconductor International, February 1981, p 33-51、および「超小型電子パッケージング」、G. Sinderle, McGraw Hill, 1968, p 249 参照)。簡単なディスプレイでは数百本のバーで足りるため、これは実行可能な方法である。これ以外のチップ転移方法については後述する。

X-Y多重式チップエレメントのフラットパネルディスプレイが第4図と第5図に示されている。このディスプレイにおいては、半導体エレメント9はチップの形をとっており、このチップを画素電極Pに合わせて二次元アレー配列に分布している。各チップ9は、画素電極Pのうちそれが対応する1つ、つまりその一部分と重合している電極だけを制御するのに当てられる。下側の電極支持基板3の表面に、XとYマトリックスのアドレスラインX、Yが組込まれている。交番電流信号駆動ラインDも、基板3上に敷けられる。これ

特開昭60-181778 (6)

らのラインは図示のように、X-アドレスラインXに対して平行に配列される。各チップ9にはアドレス、駆動および画素電極X、Y、D、Pにそれぞれ対応する結合パッドX'、Y'、D'、P'が組込まれている。下に来る電極X、Y、D、Pに関してパッドX'、Y'、D'、P'を正確に位置付ける仕事は、前の例の位置決めより難かしくなっている。この理由から、直接的なd-c接点よりもa-c容量結合の方が、設計の制約の中での許容範囲が大きくなる。位置決めにおいて妥当な精度を保证するために、自己整列技術が採用される。これ以外の技術の詳細については、本明細書の中で後述するので、以下を参照されたい。

このような構成のもつ問題点は、X-およびY-アドレスラインX、Yが直交して交差しなければならない点にある。これは多重レベルの金属化を用いることで解決することができる。しかしこれよりはむしろ、各チップの設計の中で、各クロ

スオーバー毎に橋絡リンクを組み入れることもできる。後者の場合、簡単なアドレス速度、例えば50 KHzで、しや断されたラインに低雑音キヤパシタンスによる相当の損失が生じる。これについては第6Aと第6B図に示す等価回路図で図解されている。簡単な寸法とインピーダンス値を以下に示す。

R_1 : Y-アドレスラインの各区分の抵抗、各々長さ1mm、幅10μm、厚さ1μm、アルミニウム材料。インピーダンス $\sim 5\Omega$ 。

R_2 : 橋絡リンクの抵抗、各々長さ200μm、幅2μm、厚さ1μm。インピーダンス $\sim 5\Omega$ 。

C_p : ビックアップキヤパシタンス、パッド面積250μm \times 50μm、誘電スペース0.1μm、誘電定数 ~ 3 。33pF $\approx 1M\Omega @ 50KHz$ 。

C_s : チップから接地(後部電極5E)までのラインのキヤパシタンス。面積200μm \times 2μm、スペース1μm、誘電定数 ~ 3 。0.01pF。

C_t : トランジスタからトップ電極までのキヤパシタンス。面積1mm \times 10μm、スペース10μm、誘電定数 ~ 20 。0.18pF。

Yライン上の信号は、リンク毎に $2C_t/C_p \approx 11\%$ の係数で減衰する。この理由から、非反転増幅器15によつて昇圧増幅が与えられる。第5図に示されるように、この増幅に用いるパワーはa-c駆動信号の一部を整流することによつて誘導され、整流器17は駆動パッドD'と接地電極5Eとの間に接続されている。XアドレスとYアドレスの両方がハイになった場合、第2トランジスタT2が導通して画素電極Pをドライブに接続する。Xアドレスパルスが終わる前にYアドレスパルスが終わると仮定すると、トランジスタT2は残りのフレームの間開放されたまま保たれることになる。

ツイストしたネマティック効果セルについては、約2ボルトのしきい電圧が標準的である。染色し

たコレステリック・ネマティック位相変換セルについては、 $10\ \mu\text{m}$ の厚さの層に対して、それより高い10ボルトが標準的となる。回路の設計において、2つの条件を満たす必要がある。まず第1には、制御トランジスタT2（第5図）が画素をオン、オフにできねばならない。導電中そのインピーダンスは、駆動信号経路の直列インピーダンスと比較して、それより小さくなければならない。また導電していない時のインピーダンスは、それより大きくなければならない。この条件は下記の場合に容易に満たされる。

トランジスタ・インピーダンス： $ON \sim k\ \Omega$

$OFF \sim 0\ \Omega$

画素のキャパシタンス（ $1\ \text{mm}^2$ 平方、 $10\ \mu\text{m}$ 間隔、 $\epsilon = 20$ ）： $90\ \text{M}\Omega @ 100\ \text{Hz}$

ビクタブおよび駆動キャパシタンス（面積 $2 \times 10^{-8}\ \text{m}^2$ 、 $0.1\ \mu$ 間隔、 $\epsilon \approx 3$ ）：各 $30\ \text{M}\Omega @ 100\ \text{Hz}$

若くものである。この回路では、各XアドレスラインXと平行に通る付加的なラインYYを採用している。各分の結合バンドYY'はチップ9の中に含まれる。ラインYYがYアドレス信号を昇圧するための余分の電力を支持する。この回路を実施する上で必要なトランジスタの型式は1つだけである。

以上述べた回路では、多数の欠陥が生じ得る。その中で最も重大なものは、トラックに影響を及ぼすものである。このような欠陥は画素の列および/または行を完全に損失する結果となることがあるからである。これらの欠陥は、例えば次のような発生の仕方をする。

1. トラックに開路と短絡が生じる。これはディスプレイ組立て前にトラックの試験を行ない、その後必要に応じて電極パターンをはねるか修繕することによって回避できる。重大な開路欠陥の発生を減らすために、信号経路を平行に設けても

特開昭60-181778(7)

駆動ライン抵抗： $\sim 数\ k\Omega$

第2に、画素駆動電圧は、ディスプレイの面積に亘って処理法がどう変化しても、それと関係なく液晶材料の位相を変えさせるだけのものでなければならない。液晶の切換えが比較的鮮明であり、しきい値より大きな信号を印加した場合電力消費が多少増すとしても、それ以外ほとんどこれといった効果がないことは、実に有用なことである。相当の選択電圧が与えられるからである。ビクタブ・インピーダンスと駆動キャパシタンスがゼロに近い場合、すなわちパッドと電極が良好な接触状態にある場合、5Vの駆動信号は画素の両端で5Vを生み出す。他方、 $0.1\ \mu\text{m}$ の間隔は画素の両端で3Vの電圧につながるため、画素を切換えるために必要な最小限2Vよりまだいくらか超過している。

チップを通る経路を与えられた信号を昇圧するためのもう一つの方法は、第7図の回路と構成に

且い。この種の欠陥に対して特に弱い接続したYーアドレスラインの場合、このことは特に重要である。第8図に示した構成図では、YーアドレスラインYの区分がXーアドレスラインXとYー昇圧ラインYYに平行な方向に伸長されて、1対のチップ9に連結できるようになっている。各チップ9内部の接続は各YーラインYの切れた部分の間に1つの連続的経路、橋接リンクを与えている。これらのリンクの何れか1つが良好であると仮定すれば、Yー信号は伝播されることになる。Yーラインが不通となる危険は従って減じられる。

2. チップ上のビクタブ電極の、基板に対する配置が悪く、トラックを短絡させる。上述のようにカプブリングが容量性である場合、この欠陥は生じない。

3. チップ上の欠陥がラインを短絡させる。これはチップパッドとラインの間にd。接点を作った場合しか、生じない。全てのトランジスタゲー

トと直列に電流制限用トランジスタを備えることで、保護を与えることができる。

個々の画素の故障による欠陥も考えられる。これらの欠陥は、回路と設計図を二重、三重に作成することで減少できる。容量結合を採用した場合、並列回路の結合パッドで完全にしたものを、各チップの中に組み入れても良い。こうして全体としての応答は平均的となる。これらの並行回路の1つまたはいくつかが故障した場合でも、回路の機能はまだ残されることができる。チップは全部同一設計であるため、故障したチップを交換するのは比較的簡単である。

第9図と10図には、データアドレス式チップエレメント・フラットパネルディスプレイ1が示されている。各チップ9は、同時に4つの画素電極Pと重なる位置に配置される。各チップ9は4つの結合パッドP'を組込んでおり、これらのパッドは隣接する画素電極Pと容積的に結合するよ

うに配置されている。基板の電極構造3Eも、電極トラックD、E、Fを組込んでおり、これらの電極トラックは隣接する対の画素電極の間を1方向に平行に通っており、それぞれ駆動信号、アドレス情報を含む信号データ、チップ対チップデータを送る。対応する結合パッドD'、E'、F'が各チップ9の中に組込まれている。パッドD'、E'、F'と対応するラインD、E、Fとの間の結合は容量結合である。

チップ9上の回路の機能は、4つの基本的な役割に分類できる。まず第1に、結合パッドD'からの電力は、残りの回路に電力を与えるべく用いられるためには、整流し、平滑化し、安定化しなければならない。第2に、例えば第12図に示した周波数変調信号のようなデータ入力信号は、次の回路ロジックの応答できる1と0の論理電圧レベルに変換しなければならない。第11図に示すように、この部分の動作は1対のRCフイ

ルタF1、F2と比較器CCとを用いて行なわれる。各フィルタF1、F2は、異なるカットオフで設計されているので、その並列の対は第12図に示されたもの⁽⁷⁾より周波数変調したパルスを区別することができる。低い方の変調周波数のパルスが対のフィルタF1、F2に加えられた時、0の論理信号が比較器出力に生まれる。高い方の変調周波数のパルスが加えられると、1の論理信号が生まれる。第2に、パルス列を解釈せねばならない。こうして生み出された2進数の列が、シフトレジスタS/Rに送られる。レジスタのトランスプアは、整流器R、平滑化フィルタF3、単安定Mによって制御される。各変調パルスの発生に続いて比較器出力から出現する時間を二進信号に与えるくらいの長さで、単安定Mがレジスタのクロック信号を遅延する。レジスタの内容は、2つ一組で相関フィルタを提供する直列のローパスフィルタおよびローパス電界効果トランジスタのゲートに中継される。0、1の論理シーケンスが相関フィルタのnとpのチャネルのシーケンスと調和した時に、一致が認識される。一旦チップがアドレスされていることを認識すると、チップはメモリに対し、連続してデータのビットを送る。各チップには、多数の異なるアドレスコードに回答し得る論理回路を組込んでいても良い。そうすると1つのコードを用いて、各チップを個別にアドレスすることができる。他のコードを用いて、数個のチップを同時にアドレスすることもできる。こうして画素のライン、またはブロック、あるいは他のパターンなども単独のコードに回答して生成することができるし、パターンの生成を助けて迅速にすることができる。チップにはこの目的で、いくつかのアドレス認識回路を並列に含ませても良い。4つめとして、このメモリはデータを記憶して、チップにより制御される画素の状態を指示しなければならない。画素は正しい周波数で駆動され

特開昭60-181778(8)

うに配置されている。基板の電極構造3Eも、電極トラックD、E、Fを組込んでおり、これらの電極トラックは隣接する対の画素電極の間を1方向に平行に通っており、それぞれ駆動信号、アドレス情報を含む信号データ、チップ対チップデータを送る。対応する結合パッドD'、E'、F'が各チップ9の中に組込まれている。パッドD'、E'、F'と対応するラインD、E、Fとの間の結合は容量結合である。

チップ9上の回路の機能は、4つの基本的な役割に分類できる。まず第1に、結合パッドD'からの電力は、残りの回路に電力を与えるべく用いられるためには、整流し、平滑化し、安定化しなければならない。第2に、例えば第12図に示した周波数変調信号のようなデータ入力信号は、次の回路ロジックの応答できる1と0の論理電圧レベルに変換しなければならない。第11図に示すように、この部分の動作は1対のRCフイ

ルタF1、F2と比較器CCとを用いて行なわれる。各フィルタF1、F2は、異なるカットオフで設計されているので、その並列の対は第12図に示されたもの⁽⁷⁾より周波数変調したパルスを区別することができる。低い方の変調周波数のパルスが対のフィルタF1、F2に加えられた時、0の論理信号が比較器出力に生まれる。高い方の変調周波数のパルスが加えられると、1の論理信号が生まれる。第2に、パルス列を解釈せねばならない。こうして生み出された2進数の列が、シフトレジスタS/Rに送られる。レジスタのトランスプアは、整流器R、平滑化フィルタF3、単安定Mによって制御される。各変調パルスの発生に続いて比較器出力から出現する時間を二進信号に与えるくらいの長さで、単安定Mがレジスタのクロック信号を遅延する。レジスタの内容は、2つ一組で相関フィルタを提供する直列のローパスフィルタおよびローパス電界効果トランジスタのゲートに中継される。0、1の論理シーケンスが相関フィルタのnとpのチャネルのシーケンスと調和した時に、一致が認識される。一旦チップがアドレスされていることを認識すると、チップはメモリに対し、連続してデータのビットを送る。各チップには、多数の異なるアドレスコードに回答し得る論理回路を組込んでいても良い。そうすると1つのコードを用いて、各チップを個別にアドレスすることができる。他のコードを用いて、数個のチップを同時にアドレスすることもできる。こうして画素のライン、またはブロック、あるいは他のパターンなども単独のコードに回答して生成することができるし、パターンの生成を助けて迅速にすることができる。チップにはこの目的で、いくつかのアドレス認識回路を並列に含ませても良い。4つめとして、このメモリはデータを記憶して、チップにより制御される画素の状態を指示しなければならない。画素は正しい周波数で駆動され

なければならない。画素を駆動するのに発振器が必要であり、これは無安定によるか、あるいはタイミング信号周波数を分割することによって与えられる。

情報と電力を運ぶ信号の周波数は、電極トラックのRC時定数により制限される。トラックの抵抗を約 $5 \text{ k}\Omega/\text{m}$ 以下に下げたり、キャパシタンスを $200 \text{ pF}/\text{m}$ 以下にすることは困難である。長さ L (単位 m) のトラック区分に使用できる最大周波数は従って、 $8 \times 10^6/L \text{ Hz}$ となる。回路からトラックへローディングすることによって、これがほぼ2分の1に減少する。データ速度はこれより1等数小さいものでなければならない。従って、 $L \approx 0.3 \text{ m}$ とすれば、最大データ速度は 4.0×10^6 ビット/秒である。情報パケットのスタートを知らせるのに約8ビット必要であり、 10^6 程度のチップのうちアドレスされているのはどれかを示すのに20ビット、チップに対しその

特開昭60-181778 (9)

制御下にある4つ程度の画素を更新するためにすべき事を命令するのに12ビット—全部で40ビット必要である。こうして総数 10^6 のチップ (4×10^6 の画素) が、1秒毎に更新できるのである。これはグラフィックVDUには適当であつても、TVには余り向かないものである。但し、ディスプレイ全体にエンコードを1つしか使つてはならないという必要性はなく、例えば各ライン毎に1つずつ、多数のエンコードEEを並列に用いても良いのである。長さ15cmのラインと1ラインにつき150のチップ (600の画素を制御) を用いた場合、画素は1秒毎に25回更新でき、明らかにTVへの使用に足りる。スクリーンのサイズが大きくなるに伴つて、更新速度は急速に低下する。このため、第13図に示すように、ディスプレイを両側から駆動するのが望ましいが、例えそうしても、さしわたし30cm (12") 以上のTVスクリーンを設計するのは難かしいようである。

次に本発明のディスプレイを作成する処理技術について、第14図から第27図を参照しながら説明することにする。チップ回路21は、表面下にエッチング止め層25を埋め込んだシリコンウエーハ23に対して、CMOSプロセスを用いて作成することができる。エッチング止め25とウエーハ23の固着面から下がつて、エラストマシート27の表面まで、溝が食刻される。各々のチップ9は、1つの点29 (第14図) において固定される。次にウエーハが後ろから食刻されて、バルクシリコンとエッチング止め層25を除去する。その後チップ9はエラストマ27を引き延ばすことによって拡げられてアレーとなる (第15~18図)。次にチップ9が電極支持基板5の上へ固着されて、エラストマシート27は除去される。第2の電極支持基板3は、パネル1の下部基板としての働きをする。この基板上に、画素電極、電力ラインなどを設けるための金属化パターンが

作られる。エラストマ27の伸長にはわずかに不均一性があり得るため、このパターンをチップ9と全部の点で確実に整列させることが必要である。このことは、チップ9と共に引き延ばされるエラストマ基板の上にマスクパターン31を配置することで達成できる。その後このマスクパターンを使いながら写真印刷技術を用いて、ディスプレイパネルの下面の上に電極パターンを形成する。あるいはまた、上側基板5上のチップ9のアレーを浅い角度で照光して、その影を使つて整合する電極パターンを写真印刷的に生み出すこともできる (第19~23図)。その後基板3と5を一緒に配置し、パネルに液晶材料7を満たしてシールする。

このプロセスは、下記(4)から(9)までの段階で実行することができる。

1. p^{++} または埋込酸化物層の上部に $10 \mu\text{m}$ のエピタキシャルシリコンを成長させる。この固

込層は、後にエッチング止めとして働くことになる。埋込酸化物層はイオン注入、シリコンの陽極酸化、あるいは酸化物上にデポジットされたポリシリコンの再結晶によつて、シリコンの下に生成しても良い。シリコンはフッ化水素酸の中で陽極酸化することができる。ほぼドーパしたシリコンを用いる場合、多孔性フィルムによつてバルクから分離されたシリコン構造を作成することができる。全ての場合において、シリコン層はさらにエピタキシャルデポジションすることによつて、厚くすることができる。

2. 例えば標準的なCMOSプロセスを用いて、集積回路21を作る。

3. 回路21を例えば酸化物の層など不活性化層33で被覆する。(これはスパッタリング、プラズマ補助による化学蒸気デポジション、あるいはチップ上の金属化がポリシリコンかケイ素化合物である場合には、化学蒸気デポジションによつ

(PFT)である。この材料は、80℃で微視的にも巨視的にも均一に伸びるのに、室温では剛性である。この材料はまた、安価である上汚染性もなく(炭素、水素、酸素を含むだけである)、化学的な腐蝕に対し抵抗性がある。

7. エラストマシート27をホルダ内に装荷し、ウエーハ23の後ろからエッチング止め25に達するまで、シリコンアレーをエッチングする。

8. エッチング止め層25を除去して、個々のシリコンチップを分離する。エッチング止め層25として酸化物を用いた場合、この動作は緩衝剤処理したフッ化水素酸で行なうことができる。あるいはまた、プラズマエッチングやイオンビームフライス削りでエッチング止め層25を除去しても良い。

9. 必要に応じて、注意深く洗浄、乾燥する。

10. 溝の中に詰めつたり、エラストマを被覆しないように鋭い角度で蒸着することによつて、チ

特開昭60-181778 (10)

で生成できる)。

4. 不活性化層33をパターン化し、プラズマまたは例えばエチレンジアミンピロカテコールや水成の水酸化カリウムなどの不等方性エッチング剤を用いて、パターン化した不活性化層33をマスクとして使いながら、エッチング止め25までエッチングする。

5. 各チップの一定の点に、例えばホトレジストなどの材料の高さ1μm、直径3μmの小球体29を置く。これは、チップのいずれかの角に接近して置かれるのが望ましい。

6. にかわ被覆した平面エラストマシート27の表面上に、構造面を下にして配置する。小球体29は各チップ9とシート27の間の単点接触を保証する働きをする。その構成は第14図に示す通りである。これまでに最も良と認められたエラストマは、英国のICI、プラスチック部門製造の材料である、非晶質のテラフタル酸ポリエチレン

チップ9の裏面に金属被覆を行なう(第15図と16図参照)。

11. エラストマシート27をそれぞれの方向に、少くとも4倍に引き伸ばす。これはシート27の周辺に多数のクランプを用いることで進行できる(第17図と第18図参照)。あるいはまた、シートを把持して静水圧により膨張させても良い。膨張したエラストマの形状は、型によつて決定できる。

12. 電極支持基板5の上に降ろして接合する。この基板5の上の連続的電極構造5Eは、パネルのアース電極としての働きをする。導電性の接合剤が使用される。一般に導電性のにかわやはんたは不透明であるため、余分の材料は除去される。このことは、例えばインジウム金属などの適当な作用物質を用いて基板を被覆し、ホトレジストで被覆し、チップを接触マスクとして用いて照光して、ホトレジストを現像し、照光した作用物質を

溶解して、残ったホトレジストを除去し、チップ 9 の大きさおよび位置に対応するにかわまたははんだのパッドを残すことによつて、達成することができる。あるいはまた、チップを接着剤の上に配置し、余剰材料を除去する間これをマスクとして用いて接着剤を保護することによつて、チップの下に接着剤だけを残すようにすることもできる。

13 レジスト小球体 29 を除去する。これは溶解剤としてアセトンを用いて行なうことができる。その後エラストマシート 27 が除去される。

14. ディスプレイパネル 1 のもう一方の面を形成するのに用いられる基板 3 は、ディスプレイの電力ラインおよびデータラインと、画素制御電極 P を生成するべくパターン化されねばならない。電力ラインとデータラインは抵抗の低いものでなければならず、アルミニウムなど良質の金属導体でなければならぬ。液晶画素制御電極は、金属でも良いし、スズ酸カドミウムや酸化インジウム

ラストマを伸長した後パターンの上に金属の薄い層をデポジットすることがある。次にこの金属をリフトオフによつてパターン化するのである。結果的に得られる金属のパターンは、次にマスクを作るのに使用され、このマスクが今度は、下部基板 3 上に電極パターン 3 E を写真印刷により形成するのに用いられる。この 2 段階プロセスは、各段階で像の反転が生じるので必要である。2 つの段階を通過することで、元のパターンが回復されて、下部基板 3 上のパターンはエラストマシート 27 のその正確なコピーとなる。写真印刷法を選択して、下部基板 3 上の電極パターンを生成するのに用いる方法を直接的または反転式の方法とした場合、下部基板 3 上に生成されるパターンはエラストマシート 27 のパターンと同一とすることも、逆とすることもできる。例えば、エラストマシート 27 が第 15 図(伸長する前)か第 17 図(伸長した後)に図示したのと同じレジストパターン

特開昭 60-181778 (11)

ズズなど透明の導体でも良い。どちらの場合でも、自動整列技術を使用できるほど引伸しが正確であるとは考えられないため、パターンを実際のチップ 9 の分布に整列させる必要がある。これは次の 2 方法で達成できる。

(1) 最初の方法は、(6)の段階でエラストマシートをウエーハに接着する前に、エラストマシートの上にパターンを置く方法である。このパターンはレジストやゴムなど、エラストマと共に伸びるような材質のものとされる。パターンは究極的に要求される電極のパターンに対応し、ウエーハに整列される。エラストマが引伸ばされ、チップが除去された後、パターンはディスプレイの下部電極 3 E をパターン化するためのマスクを作るために使用することができる。

パターンが作られる材料は普通あまり不透明ではないので、そのままマスクを提供することにはならない。これをうまく避ける方法の一つに、エ

ラストマを有しており、またリフトオフが用いられる場合、エラストマ上の金属パターンは第 9 図に示したように、下部基板 3 上の電極パターンに要求されるものと同様になる。マスクを作るのに用いた写真印刷法が反転法であり、マスク上のパターンが転写されて下部基板に電極パターンを作る方法も反転法である場合、第 9 図の電極パターンが下部基板上に生み出される。エラストマ上に染料(例えばブロンズ赤色 0)を用いるか、染料含有材料を用いてパターンを作る場合であれば、面倒なリフトオフは回避できる。その染料パターンが異なる波長で吸収する染料を含有する 2 つの層から構成されているとすれば、それは両方共チップと整列された 2 つの異なるパターンを、効果的に含んでいることになるのである。リトグラフィーマスクとしてエラストマを使用した場合に生み出される結果は、使用する光の波長により決まることになる。これによつて、例えば電力ラインには

アルミニウム、電極制御エレメントには酸化インジウムスズと、異なる2つの材料の金属化パターンを両方共トップパターンと並列させて生成することが可能となる。染料がもしレジスト内にあつたとすれば、そのレジストは染料が吸収しない波長でパターン化されねばならなかつたであろう。

(8) 2番めの方法は、基板5をトップ9と一緒に、下部基板3上の整合電極パターン35を形成するのに用いることのできる、シャドーマスクとして使用する方法である。このプロセスは第19図に図解されている。回折の問題を避けるためには、トップが実際にレジスト35の上にあるとすれば最良である。生まれたシャド-37は、有用な形状を形成するには明らかに大きすぎるが、装飾されたトップが横に移動されて、もう1度露光が行なわれると仮定すれば、はるかに薄い形状39を生むことができる(第20図)。各写真印刷の後次の段階に移る前に、パターン金属化38は例え

特開昭60-181778(12)

ば陽極酸化か二酸化シリコンなど誘電体のデポジションによつて不活性化される。

ディスプレイそのものに規則的なパターンを構築するのは簡単であるが、1つ問題となるのは、電力ラインとアドレスラインの端部への接続を正確にすることである。これは2つの技術を組合わせることで達成できる。まず、行の端にあるトップ9を他の場所のものより幅広くしておいて、例えばトップ9と下部基板3との間にガラス板を挿入するなどによつて、トップ9,9'を下部基板3から上揚する。1つ以上の光源が使用される。大きい方のトップ9'によつてのみ、完全なシャド-が生み出される(第21図)。第22に、1つの方向に進むシャド-を用いて1組のアドレスラインを作り、反対方向に進むシャド-を用いて1組のアドレスラインを作ることが可能であり、従つて2組のラインへの接点はアレーから別々の方向に外に延びる(第23図)。これら2つの技術を用

いると、第23図に示した型式の構造を作ることが可能となる。1回目の露光をしながらトップ9を横に移動して第21図の技術を使用し、次にトップを反対方向の横に移動してもう1回露光することによつて、電極DDが生み出される。

後に述べた技術(II)にはあるタイプの金属化を用いてある形状を作ることができ、異なるタイプの金属化では別の形状ができるという利点があるが、前に述べた技術(III)の方が単純で安価であり、従つて優先して使用されるべきものである。

15. トップ9と上部基板5とを底部基板3に接合し、液晶材料7を満たす。

次に第24a~24d図を参照すると、集積回路チップをフラットパネルディスプレイに装飾するさらに別のプロセス用の装飾が部分的に示されている。クエーハ(図示せず)が表面40上に固定可能に取付けられ、分割されて先に説明したようなはんだ片15を有する9のような二次元アレ

-が形成されるが、ここでは1行のトップアレーが図示されている。第24a図に示されるように、トップ9の上に真空チャック41が配置される。チャック41は3つめ毎のトップに隣接して位置するように、適当な間隔を置いて配置された43のような穴を有する。第24b図に示されるように、チャック41の内部領域は真空化されており、3つめ毎のトップがチャック41によつて持ち上げられて、表面40から離脱される。離脱したトップ9は電極支持ディスプレイ基板3に転移される。加熱器47を用いてトップ9を基板3に取付けているはんだ片15を溶解する。最後に、第24d図に示されるようにチャックの真空が解放されて、チャック41が除去される。以上の動作を必要に応じて繰り返して、多数のトップをデポジットするようにしても良い。第24a~24d図では、3つめ毎のトップ9に位置決めされているところを示されている。動作が1個横する毎にチ

ヤックを置き換えて3循環実行すれば、全部のチップをディスプレイに移すこともできる。

真空チャックは工学技術により作ることができ、チップはさしわたし数百ミクロンであるため、適当な大きさと間隔の穴を加工するのは容易でない。従つて不等方性エッチングで穴あけしたシリコン面をもつチャックを用いるのが望ましい。

100配向シリコンウエーハの両面をつや出しして、その上に1mmの酸化物層を作り出す。従来の写真印刷のマスク技術によつて、酸化物層の一方の面に穴がエッチングされる。次に例えばEDMや、水酸化カリウム水溶液、または水とアルコールの混合物など、〈111〉平面を他の平面に比べてずっとゆつくりと侵食するエッチング剤を用いて不均方的にエッチングされる。これらの手続については、Proc IEEE 70(5)pp420~457、1982、5月号 K. E. Peterson に記載されている。シリコンウエーハは〈111〉平面に達するまでエッチ

特開昭60-181778(13)

ングされる。残留した酸化物層は5:1のフッ化アンモニウムとフッ化水素酸を用いて除去されて、穴あけしたシリコンプレートが生み出される。

穴あけしたシリコンプレートには、穴あけ部分に真空連通するきり穴を有する金属エレメントのような、或当て支持材が備えられてもよい。シリコンプレートが或当て支持材の何れかには溝がつけられて、支持材の穴、溝、そして最後にはシリコンプレートの穴という経路で真空連通が配位される。これによつて支持材に穴をあける際に必要な精度が減じられる。

次に第25図を参照すると、1つのウエーハより規模的に大きなディスプレイにチップを応用するべく、4つ突合せて配列されたウエーハ50、~50の正方形アレーが示されている。各ウエーハ50は4つそれぞれ異なる種類の64個のチップの正方形アレーである。各チップは52のような正方形で指示されている。ウエーハ50、~50、

は全部で16種類のチップを提供する。各々のチップの種類は、それぞれのウエーハのそれぞれの4分の1の区分に配位されている。例えば、第25図の参照符号(0,0)に図接する16個のチップは、ウエーハ50の左上の四半分を形成している。図中参照符号(m,n)(m,n=0,1,2,3)は、チップ52の16の種類を同定すると共に、ディスプレイ基板上のチップの位置も指示するものである。最初の参照符号mはm番めのディスプレイコラムを指し、2つめの参照符号nはn番めのディスプレイコラムを指す。

チップは前述したように、ウエーハ50の中で互いから分離されている。4つのウエーハ全部を覆えるだけの大きさの真空チャックを用いて、各種類1つのチップをディスプレイに移す。チャックの穴の間隔は、同一線上にある4つのチップの中心間距離に等しい。チャックの穴は二次元アレーを形成しており、チャックはウエーハの各

四半分の区分から1つのチップを移転して、1つのディスプレイ基板を作り出す。次にチャックの位置を換えて、次の組の異なるチップを次の基板に移転する。このような方法は、予め調整したアドレスコードの異なるチップを組み込んだディスプレイを形成する場合、特に役に立つものである。

次に第26a図と26b図を参照すると、4段階の移転手順において、ディスプレイ基板(図示せず)の上にそれぞれ配位前と配位後のチップのレイアウト60と61が示されている。チップレイアウト60は前述したように個々のチップに分割されたウエーハに相当する。62などの各チップは、列と行の指数(m,n)を用いて識別される。このときm,n=0~7で、ディスプレイ基板上の位置を指示する。

レイアウト60のチップ62は、右側不透明、左側不透明、ドット状、あるいは消滅、と4形成あるシェーディングの何れかを有している。隣接す

る4つのチップは全てシエーディングが異なるように配列される。その上、似通ったシエーディングのチップは、チップシエーディングの対応するレイアウト61のそれぞれの四半区分の中で適当に間隔をあけて配置される。中心間隔が交互のチップの中心間隔に等しい、4×4の正方形アレーの吸引孔を有する真空チャックが用いられる。これによつてチャックは、1回の移送段階でそれぞれ1つのシエーディングのチップ全部を上揚することが可能となる。最初に、チャックを用いて右側不透明のシエーディングのチップを全部、上扬する。これらのチップは次に、ディスプレイレイアウト61の左上四半区分63に移される。続く3つの移送段階で、左側不透明シエーディング、ドット、およびシエーディングなしのチップがそれぞれ、ディスプレイ配置図61の右上区分64、左下区分65、右下区分66に移転される。

すぐ前に述べた手順を用いる動作の中で、多数

特開特許60-181778(14)

の移送動作が必要となる場合、別の方法を用いても良い。第27図も合わせて参照すると、第26a図のチップのレイアウト60は、第1段階で列間の間隔をあけたアレーに配置し直すことができる。これには、1つめの真空チャックをチップの交互列を上扬するべく配置することが必要である。すると2つめのチャックは、各列の交互のチップを配置し直して、第26b図のディスプレイレイアウト61を再現するように、用いられることになる。この方法の長所は、ディスプレイ基板上のチップの間隔がXとYの両方向でチップ寸法の4倍あるとした場合に明白となる。第26図の方法では、1つのチャックで16段階の移送が必要だが、第27図の方法では、2つのチャックを用いて8段階となる。

ディスプレイ基板上にチップまたはバーを配置するのは、「ピックアップして配置する」機械を用いても行なうことができる。この方法は、例え

はシリコンバー・エレメントのアレーなど、比較的少数のエレメントを配置するのに向いていると見える。

4. 図面の簡単な説明

第1図と第2図はそれぞれ、バーを間隔をあけて配置したフラットパネル液晶ディスプレイの一部を示す平面図およびこの平面図の平面I-I'における拡大断面図、第3図は、第1図と第2図に示したバーの各々を実現される多くの同様の回路の中の1つである典型的な画素制御回路の構成を示す回路図、第4図と第5図はそれぞれ、X-Yアドレス式の、チップを分布したフラットパネルディスプレイの一部を示す平面図およびこの平面図の平面I-I'における拡大断面図であり、回路の詳細も示し、第6Aおよび6B図は、第4、5図で示したディスプレイのY-アドレスラインの1つに関する等価回路図であり、それぞれ完全な等価回路と単純化した等価回路を示し(昇圧増

幅の詳細は省略)、第7図は、回路図および配置図であつて、第8図の構成に対する代替案を示し、第9図は、電極のレイアウトの平面図であつて、並列信号経路でできる使用法を説明しており、第9図と第10図はそれぞれ、データアドレス式のチップ・エレメント・フラットパネルディスプレイの一部を示す平面図およびこの平面図の平面II-II'における拡大断面図、第11図は、第9、10図に示したディスプレイの各チップに組込むことのできるデコーディング回路の回路図、第12図は、第11図のデコーディング回路の各点における信号を示すタイミング図、第13図はフラットパネルTVスクリーンに用いることができるようなエンコーダとチップのレイアウトとして考えられるものを示す略平面図、第14図は、チップを分離する単独段階において、エラストマ製基板への隣つきのシリコンウェーハの装着を示す断面図、第15図と第16図はそれぞれ、伸長する以前の

特開昭60-181778(15)

配列した状態のチップ、マスクパターン、エラストマを示す平面図と断面図、第17図と第18図はそれぞれ、同一のチップ、マスクパターン、エラストマではあるが、伸張後の状態を示す平面図と断面図、第19～21図は、装着したチップに振列された電極の作成におけるシャドー技術の使用法を示し、第22と23図は、シャドー技術により作られた電極構造を示す平面図、第24図～26図は、ディスプレイの製造方法における各段階を示す、真空チャックとチップアレーの断面図、第25図は真空チャックを用いてディスプレイを作成するべく4つ奥合わせて配置されたウエーハを概略的に示す平面図、第26aと26b図は、ディスプレイ上に配置前と配置後のチップアレーを示す略平面図、第27図は、ウエーハからチップをディスプレイ上に配置する手順における1段階を終わつた後のチップアレーを示す略平面図である。

1…フラットパネルディスプレイ、3、5…電極支持基板、7…散晶材料、9…半導体エレメント、P…駆動電極、Y-Y…アドレスライン、D1、D2…駆動ライン、15…非反転増幅器、17…整流器、21…集積回路、23…シリコンウエーハ、25…エッチング止め層、27…エラストマシート、31…マスクパターン、33…不活性化層、35…レジスト、41…真空チャック、50…ウエーハ、62…チップ。

発明人 イギリス国
代理人 株式会社川口鋭雄

図面の浄意(内容に変更なし)

Fig.1.

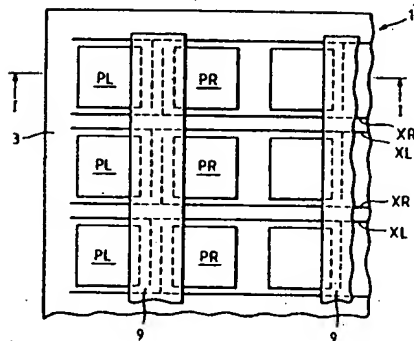


Fig.2.

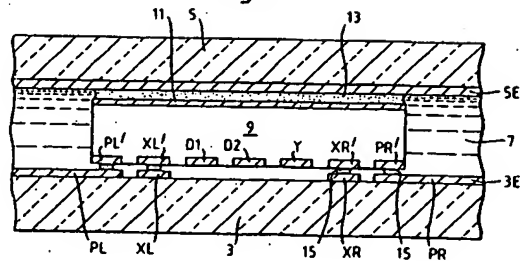


Fig.3.

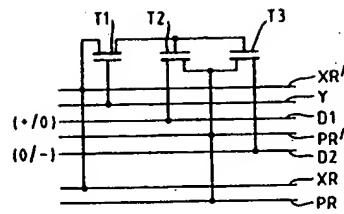


Fig.6A.

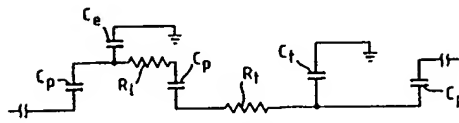


Fig.6B.

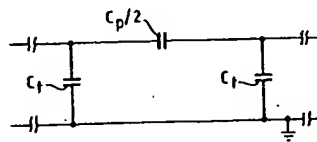


Fig.4.

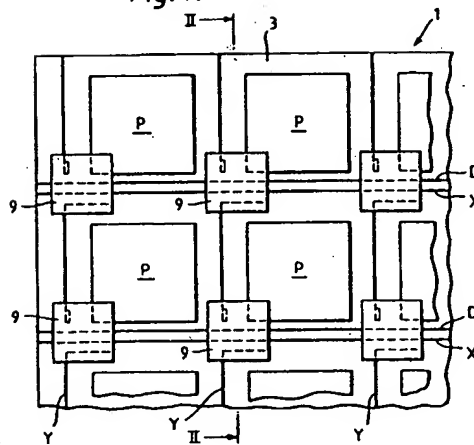
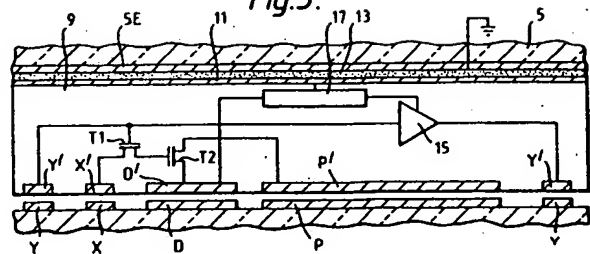


Fig.5.



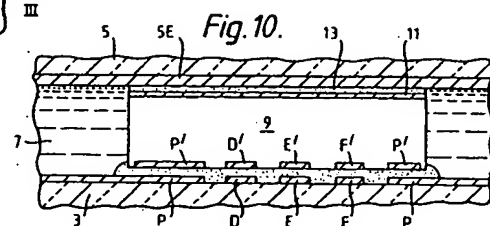
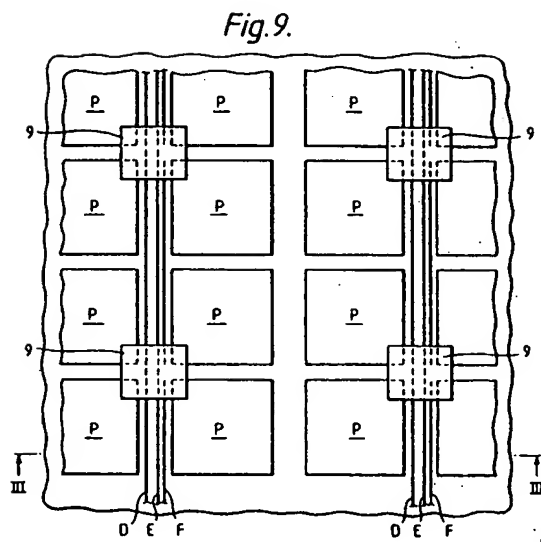
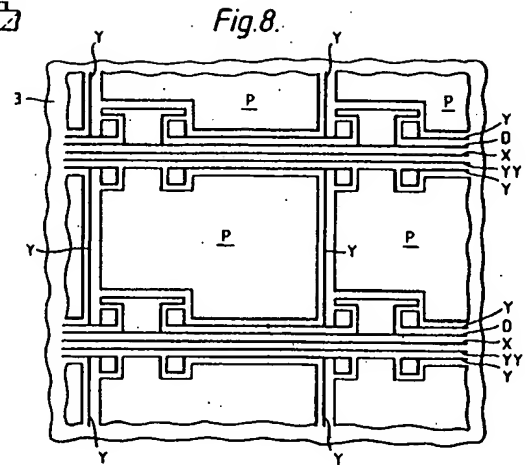
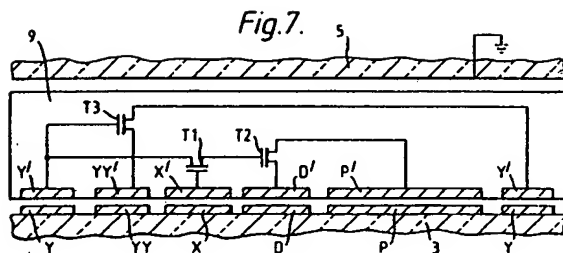


Fig. 11.

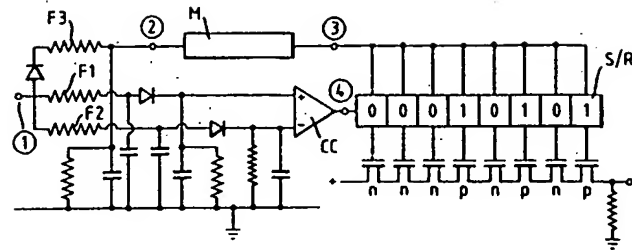


Fig. 12.

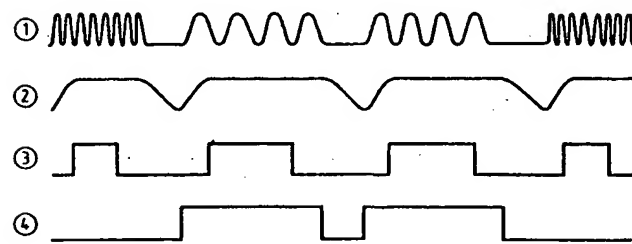


Fig. 13.

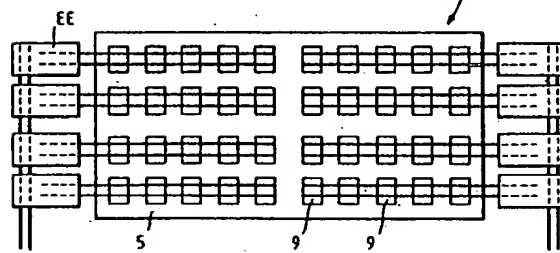


Fig. 14.

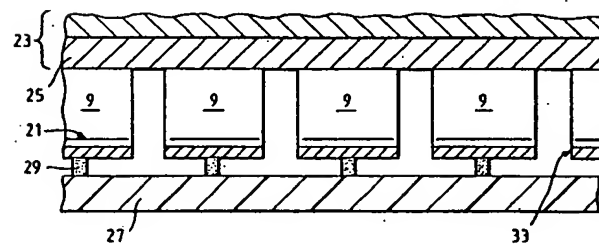


Fig. 15.

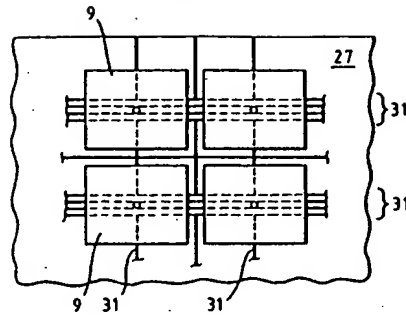


Fig. 16.

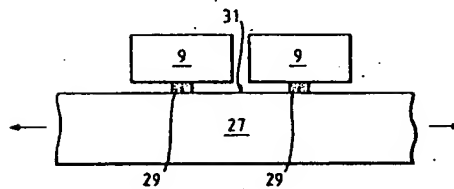


Fig. 17.

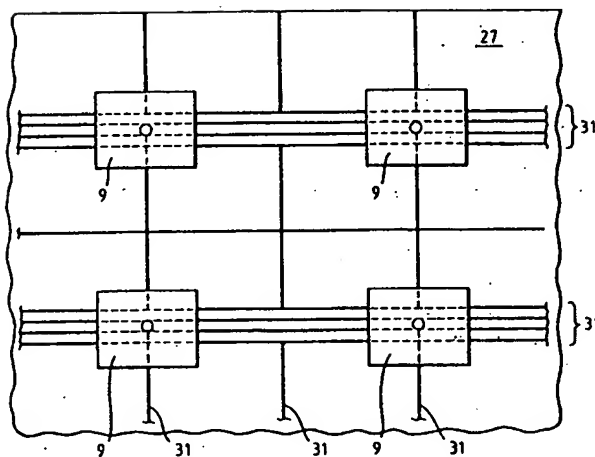


Fig. 18.

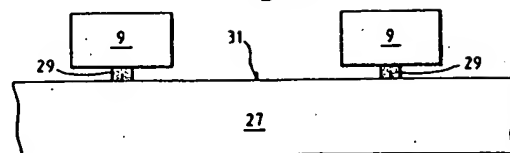


Fig. 19.

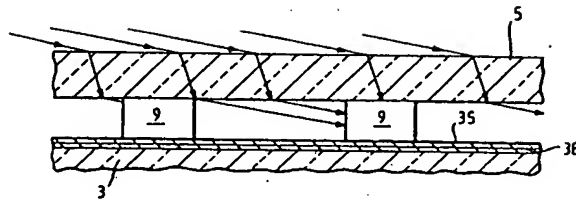


Fig. 21.

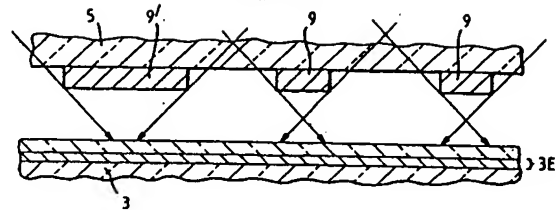


Fig. 20.

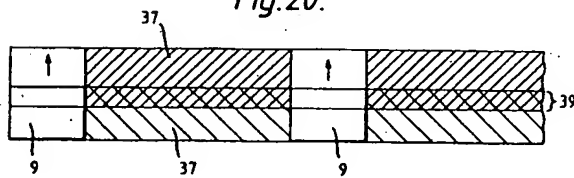


Fig. 22.

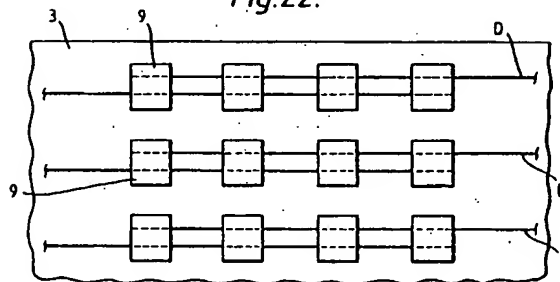


Fig. 23.

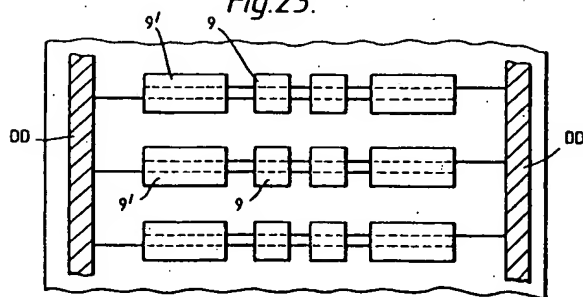


Fig. 24

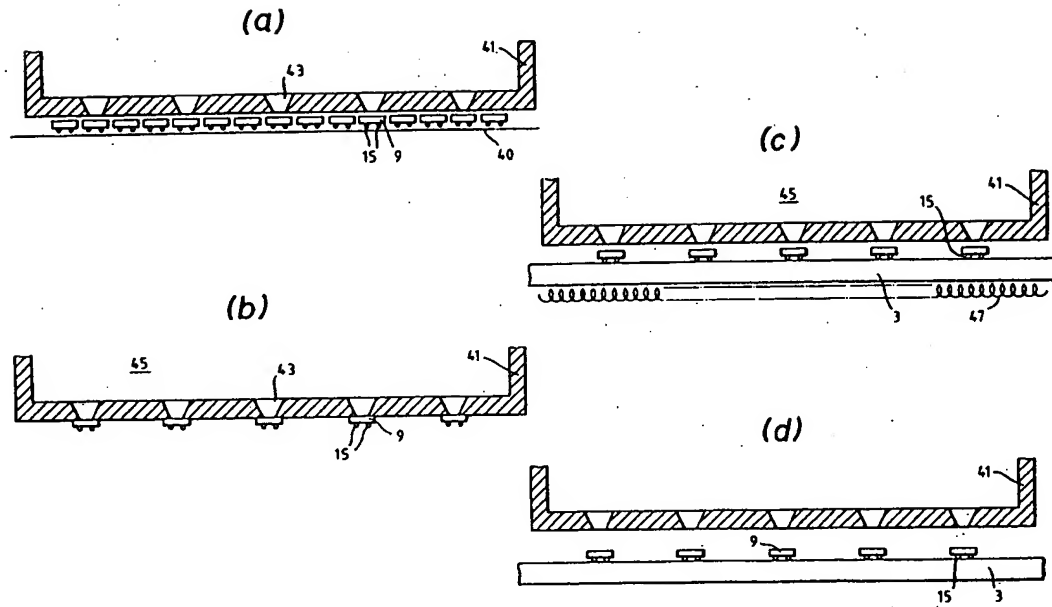


Fig. 25.

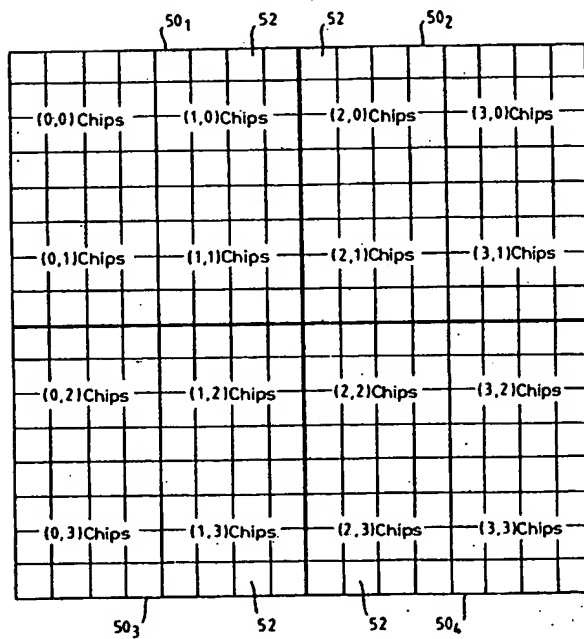
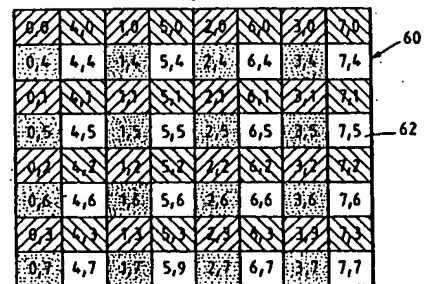
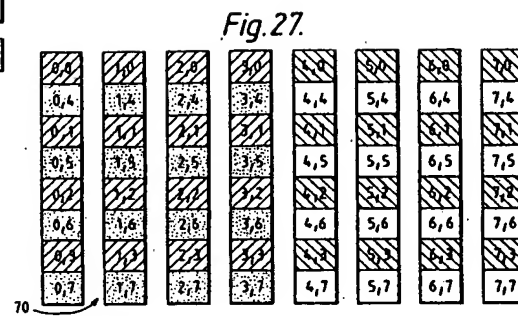
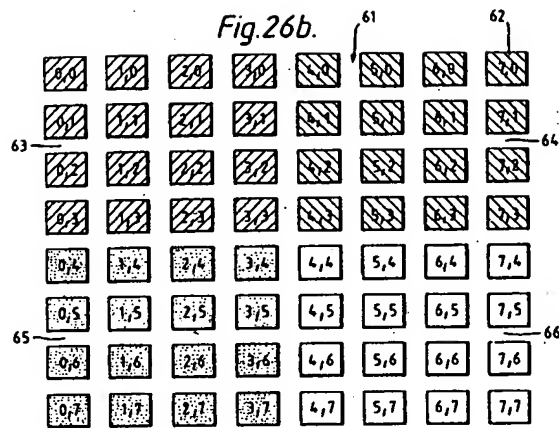


Fig. 26a.





第1頁の続き

②発明者

ジョン・チャールズ・
ホワイトイギリス国、ハーフオードシャー、コルウール、オール
ド・チャーチ・ロード、シャイアズ・ロッジ (番地なし)

特開昭60-181778(23)

手続補正書

昭和60年3月4日

特許庁長官 志賀 学 殿

1. 事件の表示 昭和60年特許願第16367号
2. 発明の名称 フラットパネルディスプレイとその製法
3. 補正をする者
事件との関係 特許出願人

名 称 イギリス国
4. 代 理 人 東京都新宿区新宿 1丁目 1番14号 山田ビル
(郵便番号 160) 電話 (03) 354-8623
(6200) 弁理士 川 口 毅
5. 補正命令の日付 自 発
6. 補正により増加する発明の数
7. 補正の対象 図面
8. 補正の内容 正式図面を別紙の通り補充する。
(内容に変更なし)